

CLIPPEDIMAGE= JP405029255A

PAT-NO: JP405029255A

DOCUMENT-IDENTIFIER: JP 05029255 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: February 5, 1993

INVENTOR-INFORMATION:

NAME

YOSHIDA, TAKEHITO

KAWAHARA, HIROYUKI

OGAWA, SHINICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP03179323

APPL-DATE: July 19, 1991

INT-CL (IPC): H01L021/28;H01L029/46 ;H01L021/3205

US-CL-CURRENT: 438/643,438/656 ,438/FOR.350

ABSTRACT:

PURPOSE: To provide an ohmic contact structure of high reliability in a large scale integrated circuit, where a P/N junction formed under a contact region is prevented from increasing in reverse leakage current with time even if a bias-temperature stress is applied.

CONSTITUTION: An N<SP>+</SP> diffusion layer 2 is formed in the vicinity of the surface of a P-type silicon substrate 1, and an interface between them is made to serve as a P/N junction surface 3. The contact of a laminated metal layer 10 with an interlayer insulating film 4 is formed in a contact hole bored in an interlayer insulating film 4 formed on the N<SP>+</SP> diffusion layer 2, where the laminated metal layer 10 is composed of an Al-Si-Cu alloy wiring layer 8 as

a main layer, a titanium nitride thin film 7 serving as a barrier layer which restrains the component metal elements of the wiring layer 8 from diffusing into the substrate 1, and a metal titanium thin film 6 used for not only lessening contact resistance but also enhancing the titanium nitride thin film 7 in adhesion to the interlayer insulating film 4. The conductive material of a region which forms a contact interface coming into direct contact with the N<SP>+</SP> diffusion layer 2 is a titanium disilicide layer 5 of most stable C 54 crystal structure.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-29255

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 T	7738-4M		
29/46	T	7738-4M		
// H 0 1 L 21/3205		7353-4M	H 0 1 L 21/ 88	R

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平3-179323

(22)出願日 平成3年(1991)7月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 吉田 岳人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 河原 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小川 真一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

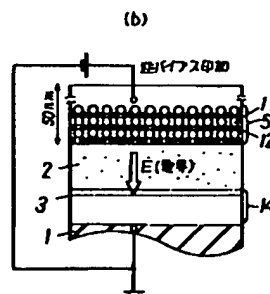
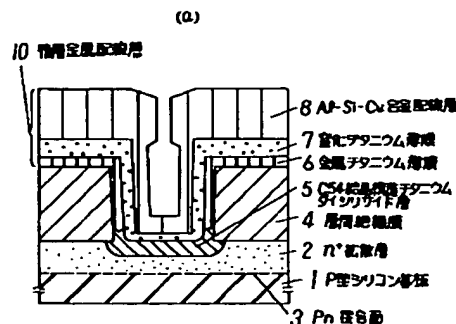
(74)代理人 弁理士 小銀治 明 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 大規模集積回路でバイアス-温度ストレスを印加してもコンタクト領域下部に形成されるp/n接合の逆方向リーク電流の経時的増大がない、高信頼性のオーミックコンタクト構造を提供する。

【構成】 p型シリコン基板1の表面近傍にn+拡散層2が形成されており、両者の界面がp/n接合面3となる。n+拡散層2の上層に堆積された層間絶縁膜4に対して開口されたコンタクトホール部には、Al-Si-Cu合金配線層8を主体とし、これの構成金属元素のp型シリコン基板1中への拡散を抑制するバリア層としての窒化チタニウム薄膜7と、更にコンタクト抵抗低減化し窒化チタニウム薄膜7と層間絶縁膜4の密着性向上のため金属チタニウム薄膜6を下部に積層状に有する積層金属配線層10とn+拡散層2とのコンタクトが形成される。直接n+拡散層2と接触しコンタクト界面を形成する領域の導電性材料は最も安定なC54結晶構造チタニウムダイシリサイド層5である。



1

【特許請求の範囲】

【請求項1】シリコン基板上における高濃度拡散層と金属配線層のオーミックコンタクトを有した半導体装置であって、前記金属配線層を構成する金属元素を前記シリコン基板中に拡散することを抑制する中間層が前記金属配線層の下部に存在し、前記中間層の部分の内、前記高濃度拡散層と直接に接触する部分が、C54結晶構造のチタニウムダイシリサイド層であることを特徴とする半導体装置。

【請求項2】シリコン基板に形成された高濃度拡散層と金属配線層のオーミックコンタクトを形成する半導体装置の製造方法であって、前記高濃度拡散層上に存在する層間絶縁膜にコンタクト孔を開孔する工程と、金属チタニウム薄膜と前記金属配線層を構成する金属元素が前記シリコン基板中に拡散することを抑制するための中間層とを有する多層膜を前記金属チタニウム薄膜が直接前記高濃度拡散層に接触する構成で堆積する工程と、前記高濃度拡散層と直接に接触する部分をC54結晶構造のチタニウムダイシリサイド層に改質するため、800℃以上900℃以下の熱処理を行った後、前記金属配線層を形成する工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高集積度・高信頼性の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路の高密度化にともなってその構成要素である金属配線層とシリコン基板上の高濃度拡散層との界面部分（コンタクト部）も縮小化されるが、かかる半導体装置においては、この界面における電気抵抗（コンタクト抵抗）をオーミック性でかつ低抵抗に保つ目的と、金属配線層を構成する金属元素がシリコン基板中に拡散することを抑制する目的で、金属配線層とシリコン基板上の高濃度拡散層との間に中間層（バリアメタル）を設けることが不可欠となってくる。例えば金属配線層としてAl-Si-Cu系合金を用いた場合、バリアメタルとして窒化チタニウム薄膜が挙げられる。この窒化チタニウム薄膜は形成法によっては500℃の熱処理においてもAl及びCuのシリコン基板中への拡散を抑制する極めて有効なバリア性を有する。しかしコンタクト抵抗が特にp+拡散層上において高抵抗となるので、これを低抵抗化する目的で窒化チタニウム薄膜とシリコン基板高濃度拡散層との間にさらに金属チタニウム薄膜を設けることが不可欠となる。

【0003】通常の製造工程では金属チタニウム薄膜6と窒化チタニウム薄膜7を堆積した後窒化チタニウム薄膜7のバリア性を向上させるため、酸素雰囲気中に曝露した後Al-Si-Cu合金薄膜8を堆積する。しかしこの工程ではAl-Si-Cu系合金の融点と窒化チタニウム薄膜のバリア性の限界から、Al-Si-Cu合金薄膜8の形成後に可能な熱

2

処理温度が高だか500℃となる。この温度範囲では、配線構造における最下層の金属チタニウム薄膜6とシリコン基板高濃度拡散層2の界面にはTi-Si準安定相9が形成されるものの、この準安定相は結晶性として非晶質あるいはC49結晶構造チタニウムダイシリサイドであり、熱力学的に準安定状態である。上記の製造工程により形成された金属配線とシリコン基板上のn+拡散層とのコンタクト構造断面図を図2に示す。

【0004】

【発明が解決しようとする課題】しかしながら上記の方法では、シリコン基板高濃度拡散層と直接界面を形成する導電性材質がTi-Si準安定相9であるため、コンタクト面下部のp/n接合面3に対して、素子の信頼性の観点で悪影響を及ぼすことがある。すなわち図2におけるn+拡散層2とp型シリコン基板1との界面から成るp/n接合面3に対してAl-Si-Cu合金薄膜8に逆バイアスを印加しながら高温保存を行うと（バイアス-温度ストレスの印加を行うと）、5.0Vを超える逆バイアスを印加した際の逆方向リーク電流が経時的に増大する問題がある。一例として図4(b)及び図5(b)にそれぞれのストレス印加条件、逆バイアス：10.0V、温度：200℃及び150℃、測定条件、逆バイアス：15.0V、温度：室温、とした際のp/n接合逆方向リーク電流の経時変化を示す。

【0005】本発明は上記従来の問題点を解決するために成されたもので、大規模集積回路における実用的なバイアス-温度ストレスの印加を行っても、コンタクト領域下部に形成されるp/n接合の逆方向リーク電流の経時的増大などの問題を誘発しない、高信頼性のオーミックコンタクト構造を有する半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題点を解決するために本発明のコンタクト構造は、シリコン基板上における高濃度拡散層と金属配線層のコンタクトを形成する際、前記金属配線層を構成する金属元素が前記シリコン基板中に拡散することを抑制するための中間層を前記金属配線層の下部に設けた構造のうち、シリコン基板高濃度拡散層と直接界面を形成する導電性材質が窒化チタニウムの中で熱力学的に最も安定な平衡相であるC54結晶構造チタニウムダイシリサイド層となるように構成されたものである。

【0007】

【作用】本発明は上記した構成によって、大規模集積回路における実用的なバイアス-温度ストレスの印加を行っても、コンタクト領域下部に形成されるp/n接合の逆方向リーク電流の経時的増大などの問題を誘発しない、高信頼性のオーミックコンタクト構造を形成できることとなる。

【0008】

【実施例】図1は本発明の一実施例における半導体装置

50

3

のオーミックコンタクト構造を示す断面模式図である。面方位(100)のp型シリコン基板1の表面近傍に拡散深さ0.23ミクロンのn+拡散層2が形成されており、p型シリコン基板1とn+拡散層2の界面がp/n接合面3となる。n+拡散層2の上層に堆積された層間絶縁膜4に対して開口されたコンタクトホール部において、Al-Si-Cu合金配線層8を主体とし、これを構成する金属元素のp型シリコン基板1中への拡散を抑制するバリア層としての窒化チタニウム薄膜7と、コンタクト抵抗低減化と窒化チタニウム薄膜7と層間絶縁膜4の密着性向上の目的で設けられた金属チタニウム薄膜6を下部に積層状に有する積層金属配線層10とn+拡散層2とのコンタクトが形成されるが、このとき直接n+拡散層2と接触しコンタクト界面を形成する領域の導電性材料が窒化チタニウムの中で熱力学的に最も安定なC54結晶構造チタニウムダイシリサイド層5であることを特徴としている。

【0009】図3に上記本発明の一実施例における半導体装置のオーミックコンタクト構造を形成する工程断面図を示す。図3(a)では、面方位(100)のp型シリコン基板1に対してヒ素(As)をイオン注入法により導入する。このときの注入条件は、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、エネルギー80keVとした。CVD法によるシリコン酸化膜700nmからなる層間絶縁膜4を堆積した後、窒素雰囲気中で900℃、30分間の熱処理を行うことにより、拡散深さ0.23ミクロンのn+拡散層2が形成され、p型シリコン基板1とn+拡散層2の界面がp/n接合面3となる。層間絶縁膜4に対してn+拡散層2まで貫通するコンタクトホールをドライエッチング法により開口し、湿式法による洗浄とシリコン自然酸化膜除去を行った直後、スパッタ堆積法により金属チタニウム薄膜6(25nm)と窒化チタニウム薄膜7(100nm)から成る2層膜を堆積する。このとき金属チタニウム薄膜6が下層に配置され、n+拡散層2と直接接触するものとする。次に図3(b)では、窒化チタニウム薄膜7のバリア性を向上させる目的で大気に曝露することにより、窒化チタニウム薄膜7粒界部分に酸素原子を導入する。この段階で成膜されたものはいずれも高融点の材質なので(金属チタニウム:1725℃、窒化チタニウム:2930℃)、900℃以下の熱処理を追加することは充分可能である。そこで大気中の混入が極めて少なく、高純度の窒素ガス導入が可能な短時間アニール(輻射加熱)装置により825℃、30秒の熱処理を行うとn+拡散層2と接触する領域の金属チタニウム薄膜6のみを、窒化チタニウムの中で熱力学的に最も安定とされるC54結晶構造チタニウムダイシリサイド層5(35nm)に変換することができる。この後図3(c)では、窒化チタニウム薄膜7の上層にスパッタ堆積法によりAl-Si-Cu合金薄膜8を700nm成膜し、通常のフォトリソグラフィの方法によるフォトレジストのパターン形成と、Al-Si-Cu合金薄膜8と窒化チタニウム薄膜7(100nm)と金属チタニウム薄膜6(25nm)から成る多層膜に対するドライエッチングを施すこと

4

により、積層金属配線層10を形成することができる。

図4(a)と(b)は本発明の一実施例における半導体装置のオーミックコンタクト構造と従来の方法による半導体装置のオーミックコンタクト構造における、p/n接合の逆方向リーク電流値(測定条件は逆バイアス:15.0V, 温度:室温)とストレス(ストレス条件は逆バイアス:10.0V, 温度:150℃)印加時間の関係を示す特性曲線図である。従来方法においては逆方向リーク電流の平均値が経時的に増大するとともに、その分散も増大することがわかる(図4(b))。これに対して本発明では約2000時間のストレス印加に対してもp/n接合の逆方向リーク電流値の増加が観測されなかった(図4(a))。また温度ストレスを200℃とした場合も、従来方法における接合リーク電流増加がさらに加速されるものの(図5(b))、本発明では約500時間のストレス印加に対してp/n接合の逆方向リーク電流値の増加が観測されなかった(図5(a))。

【0010】ここで従来方法における接合特性の劣化は温度依存性があるので、ストレス温度150-200℃の範囲に対して、逆バイアス15.0V印加時の接合リーク電流が初期値から3倍に増加するまでの平均時間(故障時間)をアーレニウスプロットしたものを図6に示す。活性化エネルギー(Ea)を算出すると、1.47eVとなった。この値はすでに報告されているシリコン結晶中のチタンの熱拡散の活性化エネルギーの値(例えばアブライド・フィジックスA30(1983)第1頁から第22頁(Appl. Phys. A30(1983)pp1-22))にほぼ等しい。このことから従来方法における接合特性の劣化には、温度-バイアスストレスを印加した際、n+拡散層2に接触する熱力学的に準安定なTi-Si準安定相9(非晶質あるいはC49結晶構造チタニウムダイシリサイド)からp型シリコン基板1の中へ拡散するチタン原子が関与していると思われる。この状況を模式的に図2(b)に示す。ここで11,12はそれぞれチタニウム原子、シリコン原子を示す。通常p/n接合特性の劣化にはAl-Si-Cu合金中の銅原子が関与している可能性がある。しかし従来方法においてもバリア性の良好な窒化チタニウム薄膜7を適用していることと、銅原子のシリコン結晶中における格子間原子拡散(400℃以下ではこの機構となる)の活性化エネルギーが0.43eV(例えばジャーナル・オブ・アブライド・フィジックス35(1964)第379頁から第382頁(J. Appl. Phys. 35(1964)pp379-382))であることを考えれば、従来方法における接合特性の劣化にAl-Si-Cu合金中の銅原子が関与していることは考えにくい。

【0011】これに対して本発明においては、n+拡散層2に接触する導電性材質を窒化チタニウムの平衡相であるC54結晶構造チタニウムダイシリサイド層5とすることにより、p型シリコン基板1の中へ拡散するチタン原子の量を格段に減少せしめることが可能となり、下部のp/n接合の劣化を誘発しない高信頼性のオーミックコン

5

タクト構造を実現している。この状況を模式的に図1(b)に示す。

【0012】本実施例においてはC54結晶構造チタニウムダイシリサイド層5を形成するための熱処理として、短時アニール（輻射加熱）装置により窒素ガス雰囲気中にて、825℃、30秒の熱処理を行ったが、一般的にシリコン基板上に堆積された金属チタニウム薄膜(30nm)に対して窒素中の短時熱処理(30秒)をした際の、熱処理温度-シート抵抗とショットキー障壁高さ（p型シリコン）の特性曲線を図7に示す。また各温度領域におけるシリコン基板に接触するTi-Si合金（化合物）の結晶性も付記した。図7からシリコン基板の高濃度拡散層に接触するTi-Si合金（化合物）の相のうち、高信頼性オーミックコンタクトを形成する上で最適な形態を考える。先ずショットキー障壁高さの観点から、熱的負荷に対して安定なコンタクトを形成するためには、600℃以上の熱処理が必要であると言える。次にシート抵抗が600℃を越すと急激に低下するのは、C49結晶構造チタニウムダイシリサイド（準安定結晶相）が界面に形成され、温度の上昇と共に成長して行くためである。800℃において結晶相は完全に平衡相のC54結晶構造チタニウムダイシリサイドに転移し、シート抵抗は最小となる。しかし900℃以上では結晶系としてはC54結晶構造チタニウムダイシリサイドであるものの、表面自由エネルギーに誘起された表面自己拡散により薄膜が粒状分裂化（凝集化）することによりシート抵抗が増大し始める。この現象はコンタクト構造の観点からしても均一なコンタクト界面が形成しえないことを意味するので不都合である。以上の議論から総合的に最適な熱処理温度範囲は800℃以上900℃以下となる。

【0013】図8は、本発明の半導体装置であるオーミックコンタクト構造をnチャンネルMOSトランジスタのソース/ドレインに対するコンタクト構造として適用した一実施例を示す工程断面図である。

【0014】図8(a)では、面方位(100)のp型シリコン基板1の表面に、素子分離酸化膜15のパターンニングと、ゲート酸化膜17を下層に有するn+ポリシリコンゲート電極16のパターンニングを施した後、このn+ポリシリコンゲート電極16の側壁下部のp型シリコン基板1の表面にn-拡散層18を形成する。次にシリコン基板1の全面にLPCVD法により堆積されたSiO₂膜をエッチバックすることにより、CVD-SiO₂側壁19を形成する。ソース/ドレイン領域のn+拡散層2のためのドーパントとして、ヒ素をイオン注入する。イオン注入条件は加速エネルギー60keV、ドーズ量5×10¹⁵/cm²とした。層間絶縁膜4として常圧CVD法によるSiO₂膜を700nm堆積し、注入ドーパントの活性化と層間絶縁膜4のちゅう密化の目的で900℃、30分間の熱処理を窒素雰囲気中で行う。次に通常のフォトリソのパターンニングとドライエッチング法により、ソース/ドレイン領域のn+拡散層2に

6

対してコンタクトホールを開口する。

【0015】図8(b)では、コンタクトホールの底部の自然酸化膜が除去する目的でフッ酸溶液による湿式前処理を行った直後、スパッタ堆積法により金属チタニウム薄膜6（厚さ25nm）と窒化チタニウム薄膜7（厚さ100nm）の2層膜を金属チタニウム薄膜6がn+拡散層2に直接接触するように連続堆積する。窒化チタニウム薄膜7の堆積の際には反応性スパッタ堆積法を用いた。

【0016】図8(c)では、図3(b)において示したものと全く同様の製造方法により、n+拡散層2と接触する領域の金属チタニウム薄膜6のみを、窒化チタニウムの中で熱力学的に最も安定とされるC54結晶構造チタニウムダイシリサイド層5(35nm)に変換することができる。

【0017】図8(d)では、図3(c)において示したものと全く同様の製造方法により、積層金属配線層10を形成することができ、コンタクト領域下部に形成されるp/n接合の逆方向リーク電流の経時的増大などの問題を誘発しない、高信頼性のオーミックコンタクト構造を有するnチャンネルMOSトランジスタを得ることができた

【0018】。

【発明の効果】以上のように本発明は、シリコン基板上における高濃度拡散層と金属配線層のコンタクトを形成する際、前記金属配線層を構成する金属元素が前記シリコン基板中に拡散することを抑制するための中間層を前記金属配線層の下部に設けた構造のうち、シリコン基板高濃度拡散層と直接界面を形成する導電性材質を熱力学的に安定なC54結晶構造チタニウムダイシリサイド層となるように構成することにより、チタニウム原子のシリコン基板への拡散を抑制せしめ、大規模集積回路における実用的なバイアス-温度ストレスの印加を行ってもコンタクト領域下部に形成されるp/n接合の逆方向リーク電流の経時的増大などの問題を誘発しない、高信頼性のオーミックコンタクト構造を形成することを可能にするものである。

【図面の簡単な説明】

【図1】(a)は本発明の一実施例における半導体装置のオーミックコンタクト構造全体を示す断面模式図である。

(b)は界面部分の拡大図である。

【図2】(a)は従来の方法による半導体装置のオーミックコンタクト構造全体を示す断面模式図である。

(b)は界面部分の拡大図である。

【図3】本発明の一実施例における半導体装置の製造方法を用いて、半導体装置のオーミックコンタクト構造を形成する工程断面図である。

【図4】本発明の一実施例における半導体装置のオーミックコンタクト構造と従来の方法による半導体装置のオーミックコンタクト構造における、p/n接合の逆方向リーク電流値（逆バイアス：15.0V、温度：室温）とスト

7

レス（逆バイアス:10.0V,温度:150℃）印加時間の関係を示す特性曲線図である。

【図5】本発明の一実施例における半導体装置のオーミックコンタクト構造と従来の方法による半導体装置のオーミックコンタクト構造における、p/n接合の逆方向リーク電流値（逆バイアス: 15.0V, 温度: 室温）とストレス（逆バイアス:10.0V,温度:200℃）印加時間の関係を示す特性曲線図である。

【図6】従来の方法による半導体装置のオーミックコンタクト構造において、逆バイアス15.0V印加時の接合リーク電流が初期値から3倍に増加するまでの平均時間に対するアーレニウスプロット図である。

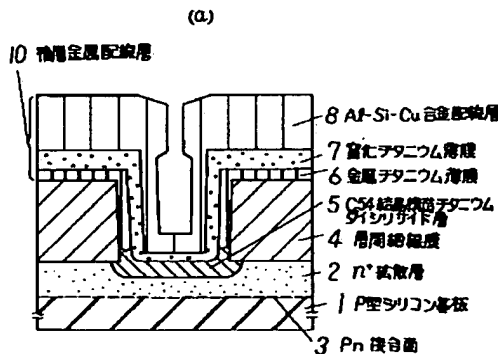
【図7】シリコン基板上に堆積された金属チタニウム薄膜に対して窒素中の短時熱処理をした際の熱処理時間-シート抵抗とショットキー障壁高さの関係を示す特性曲線図である。

【図8】本発明の一実施例における半導体装置のオーミックコンタクト構造をMOSトランジスタのソース、ドレインに対するコンタクトとして適用した一実施例を示す工程断面図である。

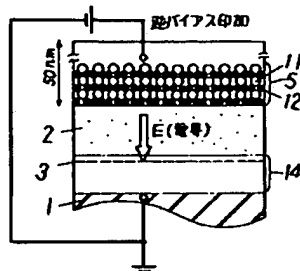
【符号の説明】

- 1 p型シリコン基板
- 2 n+拡散層
- 3 p/n接合面
- 4 層間絶縁膜
- 5 C54結晶構造チタニウムダイシリサイド層
- 6 金属チタニウム薄膜
- 7 窒化チタニウム薄膜
- 8 Al-Si-Cu合金薄膜
- 9 Ti-Si準安定相
- 10 積層金属配線層
- 11 チタニウム原子
- 12 シリコン原子
- 13 チタニウムイオン
- 14 空乏層
- 15 素子分離酸化膜
- 16 n+ポリシリコンゲート電極
- 17 ゲート酸化膜
- 18 n-拡散層
- 19 CVD-SiO₂側壁

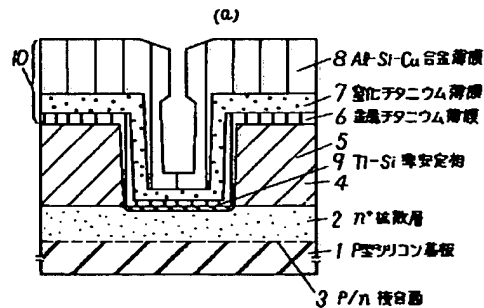
【図1】



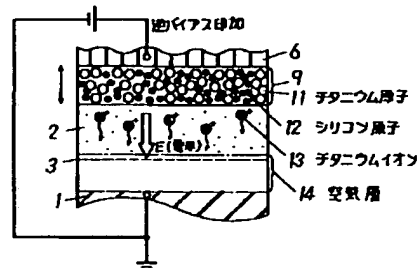
(b)



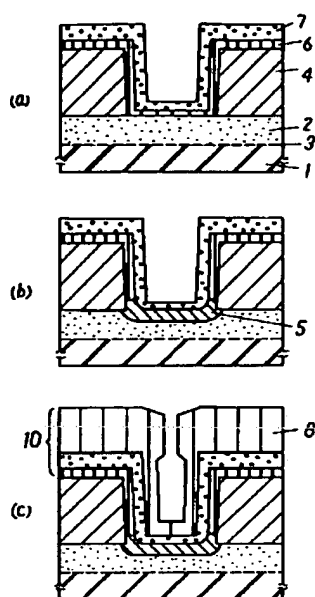
【図2】



(b)

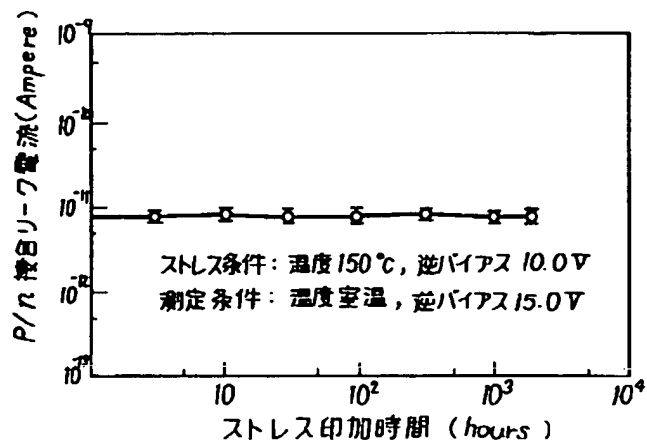


【図3】

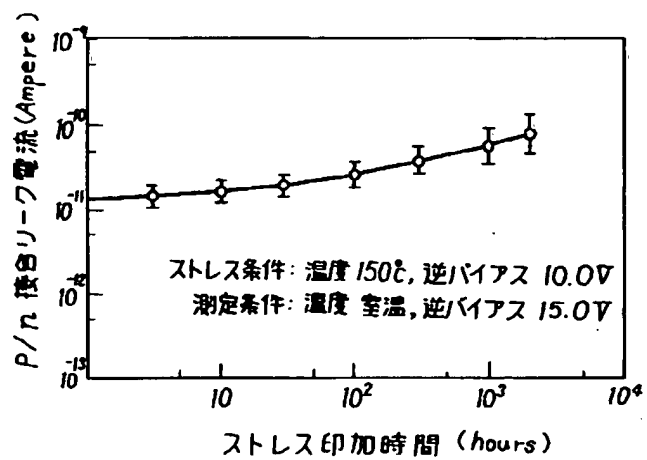


【図4】

(a) 本発明

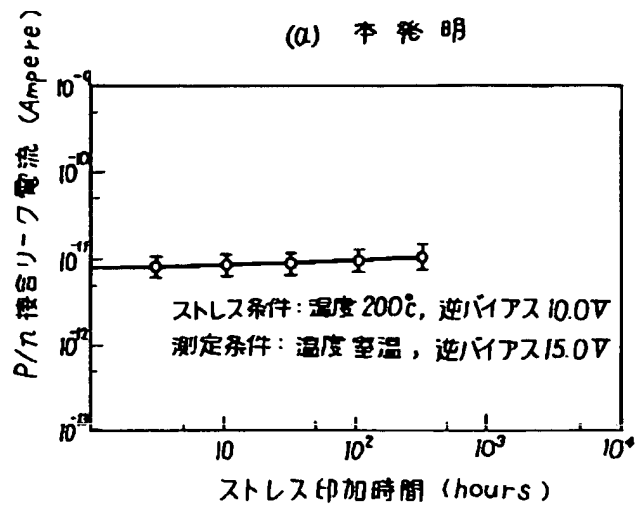


(b) 従来法

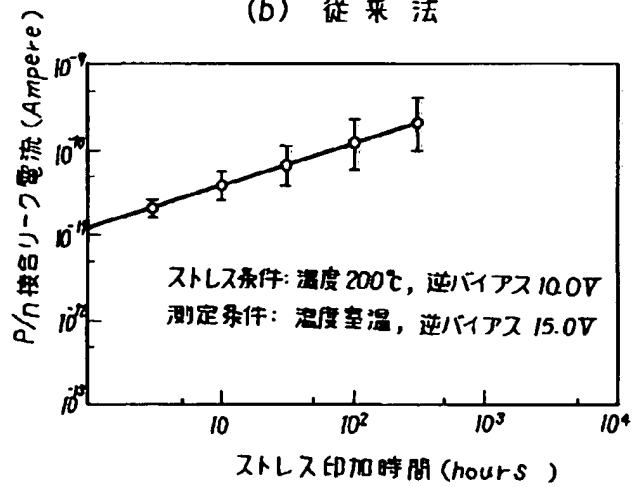


【図5】

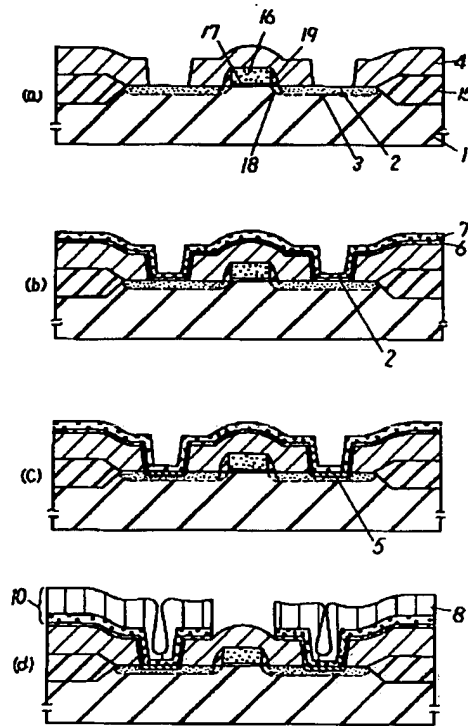
(a) 本発明



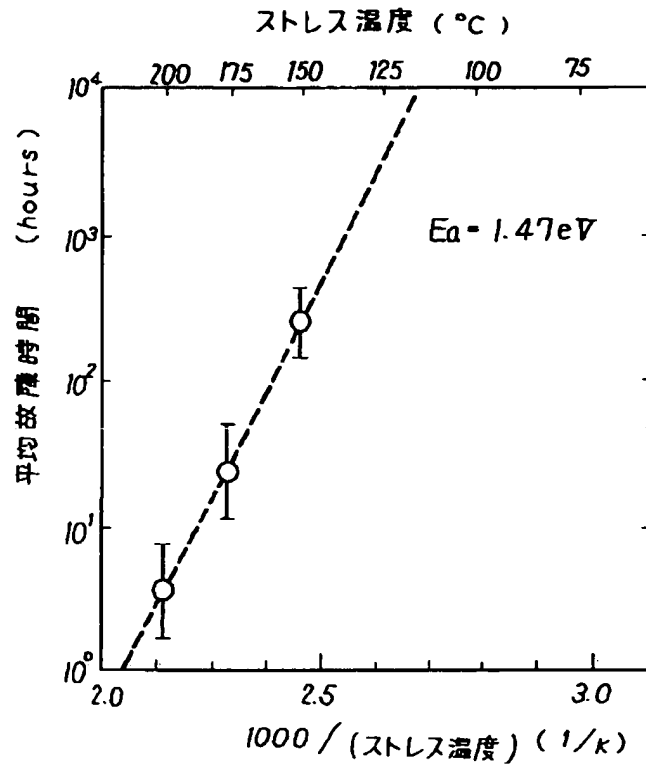
(b) 従来法



【図8】



【図6】



【図7】

